

WAN : Synchrone

Dans une transmission série, le récepteur doit être capable d'identifier sans ambiguïté chaque caractère.

⇒ **il doit être SYNCHRONISE !**

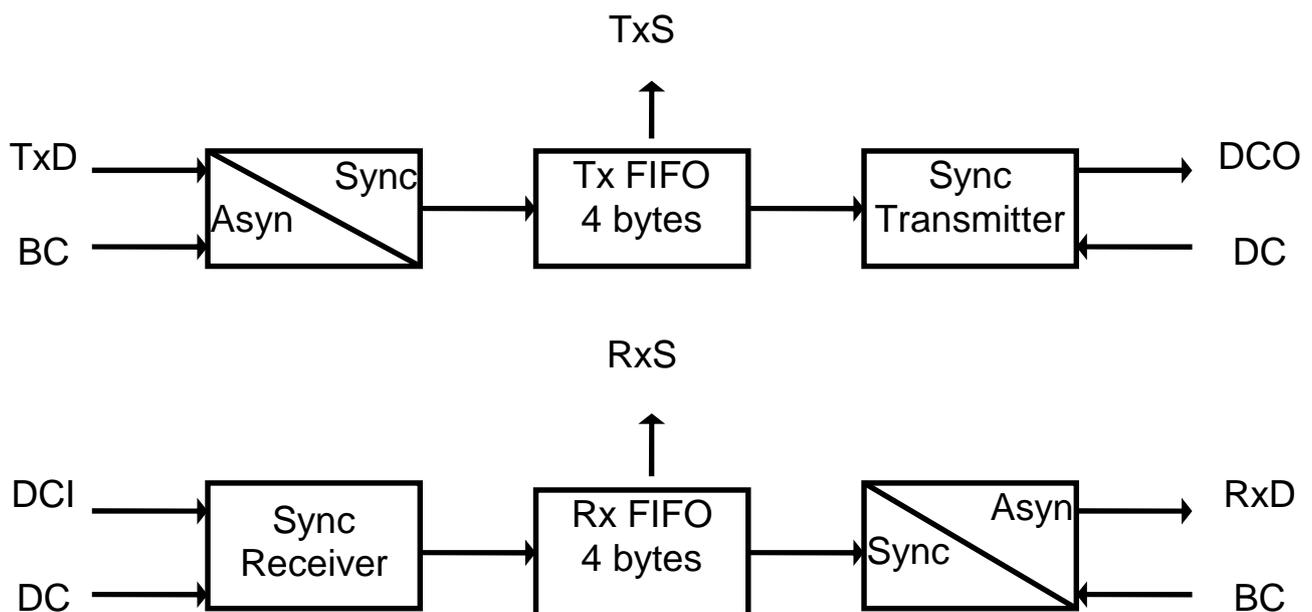
La synchronisation consiste à :

- **déterminer les instants d'échantillonnage** (sync. bit),
- **regrouper en caractères** les bits reçus (sync. caractère).

Dans une transmission synchrone, émetteur et récepteur choisissent en commun :

- un débit binaire D (par exemple) (D=9600 bit/s)
- une horloge de référence unique (celle de l'émetteur)
- un nombre n de bits par caractère (n=8)
- un caractère de synchronisation (\$7E)

1 Illustration avec le circuit MC 145 428 : (convertisseur asynchrone-synchrone)



a) Description des signaux

TxD TRANSMIT DATA INPUT

Input for asynchronous data (8 data and 1 stop bits).
Idle is logic high.

RxD RECEIVE DATA OUTPUT

Output for asynchronous data (8 data and 1 stop bits).
Idle is logic high.

BC BAUD CLOCK INPUT

Input for an externally supplied 16 times data clock.

TxS TRANSMIT STATUS OUTPUT

Output is low if the transmit FIFO holds 2 or more data words
or if RESET is low.

RxS RECEIVE STATUS OUTPUT

Output is low if framing of the synchronous channel is lost
or not established or if RESET is low,
or if the receive FIFO is overwritten.

DCO DATA CHANNEL OUTPUT

Synchronous data is output on DCO on the falling edges of DC.

DCI DATA CHANNEL INPUT

Synchronous data is input on DCI on the falling edges of DC.

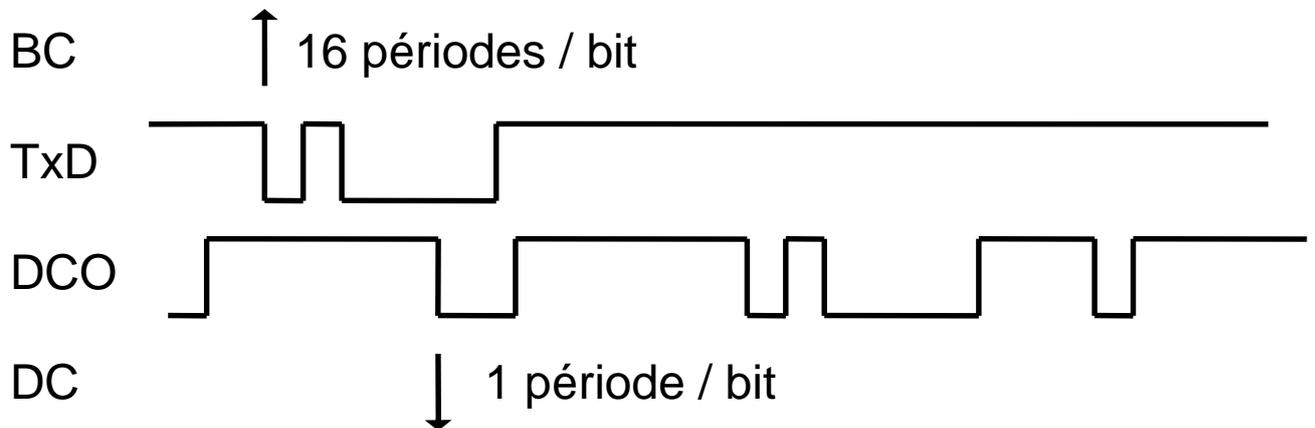
DC DATA CLOCK INPUT

Input for an externally clock.

b) Principe de fonctionnement

L'émetteur, lorsque TxFIFO est vide, envoie le caractère de synchronisation \$7E.

Emission du caractère a codé en ASCII avec $T_{\text{async}} = T_{\text{sync}}$



Le récepteur se trouve dans un des 3 états suivants :

IDLE (hunt)	état non-synchronisé état initial
SYNC	état synchronisé
DATA	état donnée

La prise du synchronisme : IDLE --> SYNC

Elle consiste à mémoriser les 8 derniers bits afin de les comparer au caractère de synchronisation \$7E (test à chaque bit).

Etat synchronisé : SYNC

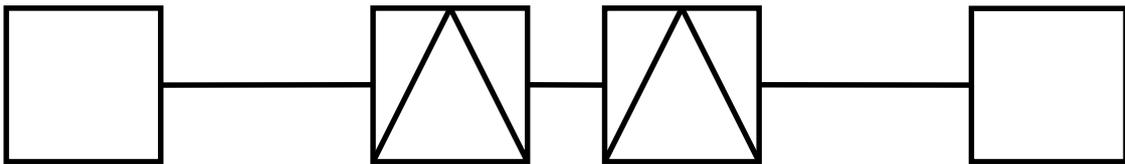
Attendre 8 bits pour les comparer avec \$7E (test tous les 8 bits).

2 Circuits V.24 utilisés pour le transfert des données

TD	Transmitted Data	Emission des données	T
RD	Received Data	Réception des données	M
TC_T	Transmit Clock	Horloge émission	T
TC_M	Transmit Clock	Horloge émission	M
RC	Receive Clock	Horloge réception	M

Le flanc descendant de ces signaux d'horloge marque le milieu du bit (instant d'échantillonnage pour la synchronisation bit).

L'horloge émission (nécessaire à TD) provient :



soit du DTE :

TC _T	RC
TD	RD

soit du DCE :

TC _M	RC
TD	RD

a) Brochage du connecteur 25 pôles

Numéro de broche	Désignation du circuit	Numéro du circuit
2	TD	103
3	RD	104
4	RTS	105
5	CTS	106
6	DSR	107
7	SG	102
8	CD	109
15	TC_M	114
17	RC	115
24	TC_T	113
20	DTR	108
22	RI	125
1	PG	101

b) Interface DTE-DTE

La liaison directe entre 2 équipements DTE est possible s'ils sont suffisamment proches (distance dépend du type de câble).

Ex 1 : Déterminer le schéma de câblage reliant 2 DTEs synchrones.

Ne considérer que les signaux nécessaires au transfert des données.

TCT	TCT
TD	TD
TCM	TCM
RD	RD
RC	RC
SG	SG

c) Bouclage "numérique" externe

Ex 2 : Déterminer le schéma de câblage réalisant un bouclage "numérique" externe (transmission synchrone).

Ne considérer que les signaux nécessaires au transfert des données.

TCT	TCT
TD	TD
TCM	TCM
RD	RD
RC	RC

3 Modems normalisés

Ce tableau précise les caractéristiques essentielles de la **couche physique** utilisant les modems normalisés UIT-T.

Année	Avis	D en bit/s	RTC	Half/Ful	Asyn/Syn
1964	V.21	300	O	F	A/S
	V.23	1200	O	H	A/S

1968	V.26	2400	N		
1972	V.27	4800	N		
1976	V.29	9600	N		

1980	V.22	1200	O	F	A/S
1984	V.22bis	2400	O	F	A/S
	V.32	9600	O	F	A/S

1988	V.33	14400	N		

1991	V.32bis	14400	O	F	A/S

1994	V.34	28800	O	F	A/S

Année de la norme UIT

Avis = norme UIT

D = débit binaire en bit/s

RTC = Réseau Téléphonique Commuté (**O**ui/**N**on)

Half/Full = mode semi-duplex/duplex intégral

Asyn/Syn = transmission asynchrone/synchrone

